

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-036578

(43)Date of publication of application : 10.02.1994

(51)Int.Cl.

G11C 16/06

G06F 12/04

(21)Application number : 04-209800

(71)Applicant : SONY CORP

(22)Date of filing : 14.07.1992

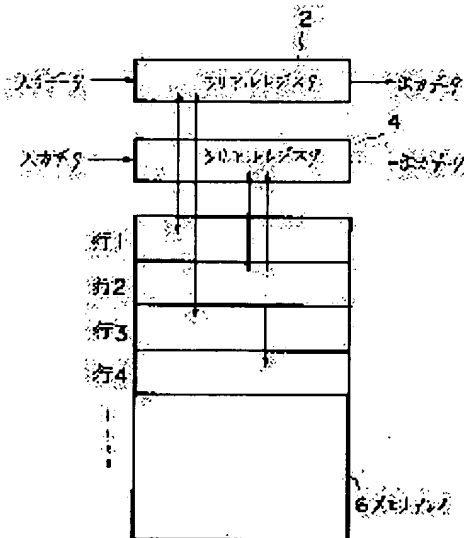
(72)Inventor : OTANI SHINGO

(54) EEPROM

(57)Abstract:

PURPOSE: To shorten a write time by providing plural serial registers for writing data in a memory array.

CONSTITUTION: After data is inputted to a serial input/output register 2, the data is inputted to the serial input/output register 4 while data write is performed from the register 2 to the memory array 6, and thereafter, while the data is read out from the array 6 to the register 2 for verify, the data is written in the array 6 from the register 4. Then, the write time in the array 6 is shortened, and the write and the read of the data are performed simultaneously.



**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[0001]

[Industrial Application] this invention relates to serial input/output type EEPROM (Electrically Erasable and Programmable Read Only Memory).

[0002]

[Description of the Prior Art] It has one serial register (namely, shift register) of the I/O combination for a conventional serial input/output type EEPROM chip, i.e., a NAND type chip, performing the writing and read-out of data to a memory array, for example, for the length of a serial register, the line count of 512 bytes and a memory array is [ 1024 and chip capacity ] 4M bits (512kB). about 50microS In the case of such a chip, need the time of the order of 100nS(s) for carrying out the serial input of 1 byte of data, and need for inputting 512 bytes of data into a serial register.

[0003] Moreover, the write-in time of EEPROM is about 40microS need in the NAND type conventional example which is generally the order of 10microS and was mentioned above in the NOR type. 10microS

Although read-out for verification following writing is about [ 6micro ] S in a NOR type, need it in the NAND type conventional example mentioned above. Therefore, in the conventional serial input/output type EEPROM, about 50micro becomes this thing to writing and verification read-out of data.

[0004]

[Problem(s) to be Solved by the Invention] Drawing 7 shows the time sequence of the conventional operation of serial input/output type EEPROM. As mentioned above, since only one is equipped with the serial register, while having inputted data into the serial register by the host side, the writing and verification operation of data are not performed within EEPROM. Therefore, after a host side requires the time of about 50microS and inputs data into a serial register, it must wait for it mostly for this time, writing and verification read-out, and it needs a long time for the writing to a memory array, as shown in drawing 7.

[0005] Moreover, after performing data read-out for verifying writing, when the error was discovered, again, data had to be reinputted into the serial register, it wrote in and there was a problem which consists of writing to a data input and an array and verification that a cycle part took time.

[0006] this invention is made in view of such a situation, and aims at offering EEPROM which can shorten the write-in time to a memory array.

[0007]

[Means for Solving the Problem] EEPROM according to claim 1 is characterized by having two or more serial registers (for example, serial registers 2 and 4 of the example of drawing 1 ) for writing in the data

a memory array.

[0008] EEPROM according to claim 2 is characterized by having two or more (for example, serial registers 2 and 4 of the example of drawing 1 ) serial registers for performing the writing of data to a memory array and the both sides of read-out.

5 [0009] EEPROM according to claim 3 is characterized by having separately a serial register for writing for writing data in a memory array (for example, serial input register 12 of the example of drawing 3 ), and a serial register for read-out for reading data from a memory array (for example, serial output register 22 of an example).

10 [0010] The 1st register holding the data which should write EEPROM according to claim 4 in a memory array (for example, 1st I / O register 51 of the example of drawing 5 ), The 2nd register holding the data read from the memory array (for example, the 2nd register 52 of the example of drawing 5 ), It is characterized by having the package verification circuit (for example, the exclusive OR gate EX1 or EXn and the OR gate 53 of an example of drawing 5 ) which detects the write-in error of one of bits from the output of the 1st and 2nd registers.

15 [0011] EEPROM according to claim 5 is equipped with two or more (for example, serial registers 2 and 4 of the example of drawing 1 ) serial registers for writing in the data to a memory array, and is characterized by opting for the assignment of a write-in field to the memory array corresponding to each serial register.

[0012]

20 [Function] In EEPROM of the composition of a claim 1, after data are inputted into the serial register of [ 1st ] two or more serial registers, while writing data in the memory array from the 1st serial register, it becomes possible to input data into the serial register of [ 2nd ] two or more serial registers. Therefore, the write-in time to a memory array can be shortened.

25 [0013] After data were inputted into the serial register of [ 1st ] two or more serial registers in EEPROM the composition of a claim 2, While writing data in the memory array from the 1st serial register While data were inputted by the serial register of [ 2nd ] two or more serial registers and having read data from the memory array to the 1st serial register for after that, for example, verification, data can be written in a memory array from the 2nd serial register. Therefore, while being able to shorten the write-in time to a memory array, it can carry out simultaneous [ of writing and read-out of data ].

30 [0014] In EEPROM of the composition of a claim 3, it is inputted into the serial register for writing at data. Even if data are read to the serial register for memory array read-out for verification and an error is detected after data are written in a memory array from here for example Since data are held at the serial register for writing, it is not necessary to input data into the serial register for writing again, and since the re-writing of data can be performed, time required for re-writing when a write-in error arises can be shortened immediately.

35 [0015] In EEPROM of the composition of a claim 4, the data which the 1st register should write in a memory array are held, the 2nd register holds the data read from the memory array, and a package verification circuit detects the write-in error of one of bits from the output of the 1st and 2nd registers. Therefore, since a write-in error can be discovered in an instant, re-writing can be performed immediately.

40 [0016] In EEPROM of the composition of a claim 5, the data inputted into two or more serial registers are written in the field to which the memory array was assigned, respectively. Therefore, since write-in processing to two or more fields of a memory array can be performed in parallel, write-in time can be shortened.

45 [0017]

[Example] Drawing 1 shows the composition of one example of EEPROM of this invention. In this

example, two serial I / O registers 2 and 4 are formed. These serial I / O registers 2 and 4 are for performing the writing of data to the memory array 6 which comes to arrange many memory cells in the shape of a matrix, and the both sides of read-out, respectively. If it finishes inputting the data for the length into serial I / O register 2, a host will write in the control register of EEPROM and will input a command. Thereby, data are written in the memory array 6 from serial I / O register 2.

[0018] It opts for the assignment of a write-in field to the memory array 6 corresponding to each serial I / registers 2 and 4. That is, the data inputted into serial I / O register 2 are written in odd lines of the memory array 6, and it opts for assignment of the write-in field of the memory array 6 so that the data inputted into serial I / O register 4 may be written in even lines of the memory array 6.

[0019] Drawing 2 shows the time sequence of the example of 1 operation of the example of drawing 1 . Hereafter, operation of the example of drawing 1 is explained with reference to drawing 2 . After data we inputted into serial I / O register 2 (for example, A1), Are writing data in the memory array 6 from serial O register 2. In between, data are inputted by serial I / O register 4. (For example, B1) While data are read from the memory array 6 to serial I / O register 2 (A2 [ for example, ]) and after that for verification (for example, C1), data are written in the memory array 6 from serial I / O register 4. Therefore, while being able to shorten the write-in time to the memory array 6, it can carry out simultaneous [ of writing and read out of data ].

[0020] supposing the serial output (read-out) of time to B: write in (programming to a memory cell from serial register) and C: data and the time of verification are equal the time of A: data input (input to a serial register) -- the Ming kana from drawing 2 -- like, since the total write-in time is set to two thirds, drawing speed increases 1.5 times

[0021] Random access will also become easy if it carries out to the length which writes in the length of serial I / O registers 2 and 4, and balances time, for example, 64B or 128B etc., when the write-in time B 10microS more short.

[0022] Drawing 3 shows the composition of another example of EEPROM of this invention. In this example, it has separately the serial input register 12 for writing data in the memory array 6, and the serial output register 22 for reading data from the memory array 6. Moreover, it has separately the serial input register 14 for writing data in the memory array 6, and the serial output register 24 for reading data from the memory array 6.

[0023] Drawing 4 shows the time sequence of the example of 1 operation of the example of drawing 3 . Hereafter, operation of the example of drawing 3 is explained with reference to drawing 4 . First, from a host side, it is inputted into data at the serial input register 12 (for example, A1 of drawing 4 ), next it writes in a control register from a host side, a command is inputted, and, thereby, data are written in the memory array 6 from the serial input register 12 (for example, B1 of drawing 4 ). Next, from a host side, the read-out command for verification is set to a control register, and, thereby, the data written in this array 6 from the memory array 6 are transmitted to the serial output register 22. And a host side reads the data transmitted to the serial output register 22, and an error is checked as compared with the data which the host side holds and which should be written in (for example, C1 of drawing 4 ).

[0024] If an error is detected here, again, a host side will input a write-in command into a control register and will write in the memory array 6 from the serial input register 12 (for example, B1' of drawing 4 ). With the conventional technology, when an error is detected Although the data which should be written in serial register must be again reinputted as shown in A2' of drawing 7 , in the example of drawing 3 Since data are held at the serial input register 12 even if an error is detected, it is not necessary to input data into the serial input register 12 again, and since the re-writing of data can be performed, time required for re-writing when a write-in error arises can be shortened immediately. The same is said of operation of the serial input register 14 and the serial output register 24.

[0025] Drawing 5 shows the composition of one example of the package verification circuit of EEPROM of this invention. This example is equipped with the OR gate 53 which considers the output of the n exclusive OR gates EX1 which measure each bit output of the 1st register 51 holding the data which should be written in the memory array 6, the 2nd register 52 holding the data read from the memory array 6, and the 1st and 2nd registers 51 and 52 or EXn, and these n exclusive OR gates EX1 or EXn as an input. The serial input register 12 of drawing 3 can constitute the 1st register 51, and it can constitute the 2nd register 52 by the serial output register 22 of drawing 3. For example, when the length of the 1st and 2nd register 51 and 52 is 128B, n is  $128 \times 8 = 1024$  and the number of the exclusive OR gate is 1024.

[0026] If all the bits of the 1st and 2nd registers 51 and 52 are in agreement, the output of the OR gate 53 negated (here output "0"), and it is shown that it is errorless. If one bit of the 1st and 2nd registers 51 and 52 is carrying out the inequality, the output of the OR gate 53 is asserted (here output "1"), is written in an instant, and can discover an error. Thus, in the circuit of drawing 5, all the data held at the register can be verified collectively. Since it is not necessary to know whether in the case of EEPROM it wrote in a bit of what and the error took place, it can move to re-writing immediately.

[0027] Although the NOR type flash memory in which the circuit which had an automatic write-in function in the chip was carried is available now, the circuit of drawing 5 is effective in realizing an automatic write-in function in serial input type (NAND type) EEPROM.

[0028] Drawing 6 is equipped with a serial input register and 2 sets of serial output registers like the example of drawing 3, and shows the time sequence of the example of 1 operation of EEPROM which built in a package verification circuit like drawing 5, or other automatic write-in circuits. In this case, drawing speed improves to double precision.

[0029] In addition, although the serial input register 12 of drawing 3 shall constitute the 1st register 51 of drawing 5 and the serial output register 22 of drawing 3 shall constitute the 2nd register 52 of drawing 5 from the above-mentioned explanation, the 1st register 51 may be constituted from serial I/O register 2 of drawing 1, and the 2nd register 52 may consist of verification dedicated registers.

[0030]

[Effect of the Invention] Since it becomes possible to input data into other serial registers while according to the EEPROM of a claim 1 writing data in the memory array from here after inputting data into a certain serial register since two or more serial registers for the writing of the data to a memory array were formed the write-in time to a memory array can be shortened.

[0031] Since two or more serial registers for performing the writing of data to a memory array and the both sides of read-out were formed according to the EEPROM of a claim 2, while being able to shorten the write-in time to a memory array, it can carry out simultaneous [of writing and read-out of data].

[0032] Since the serial register for writing for writing data in a memory array and the serial register for read-out for reading data from a memory array were formed separately according to the EEPROM of a claim 3, time required for re-writing when a write-in error arises can be shortened.

[0033] Since the write-in error of one of bits is detected from the data which a package verification circuit should write in the memory array currently held at the 1st register, and the data read from the memory array currently held at the 2nd register according to the EEPROM of a claim 4 and a write-in error can be discovered in an instant, re-writing can be performed immediately.

[0034] Since according to the EEPROM of a claim 5 two or more serial registers for writing in the data to memory array were formed, it opted for the assignment of a write-in field to the memory array corresponding to each serial register and write-in processing to two or more fields of a memory array can be performed in parallel, write-in time can be shortened.

---

## CLAIMS

---

[Claim(s)]

- 5 [Claim 1] EEPROM characterized by having two or more serial registers for writing in the data to a memory array.
- [Claim 2] EEPROM characterized by having two or more serial registers for performing the writing of data to a memory array, and the both sides of read-out.
- 10 [Claim 3] EEPROM characterized by having separately a serial register for writing for writing data in a memory array, and a serial register for read-out for reading data from the aforementioned memory array.
- [Claim 4] EEPROM characterized by having the package verification circuit which detects the write-in error of one of bits from the output of the 1st register holding the data which should be written in a memory array, the 2nd register holding the data read from the aforementioned memory array, and the above 1st and the 2nd register.
- 15 [Claim 5] EEPROM characterized by having two or more serial registers for writing in the data to a memory array, and opting for the assignment of a write-in field to the aforementioned memory array corresponding to each serial register.

---

## DESCRIPTION OF DRAWINGS

---

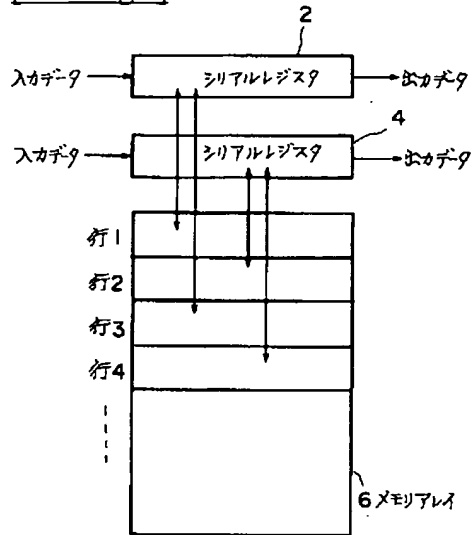
[Brief Description of the Drawings]

- 25 [Drawing 1] It is the block diagram showing the composition of one example of EEPROM of this invention.
- [Drawing 2] It is drawing showing the time sequence of the example of 1 operation of the example of drawing 1 .
- [Drawing 3] It is the block diagram showing the composition of another example of EEPROM of this invention.
- 30 [Drawing 4] It is drawing showing the time sequence of the example of 1 operation of the example of drawing 2 .
- [Drawing 5] It is the block diagram showing one example of the package verification circuit of EEPROM of this invention.
- 35 [Drawing 6] It is drawing showing the time sequence of the example of 1 operation at the time of having serial input register and a serial output register separately like the example of drawing 3 , and using the example of drawing 5 .
- [Drawing 7] It is drawing showing the time sequence of the example of the conventional EEPROM of operation.
- [Description of Notations]
- 40 2 Four Serial register
- 6 Memory Array
- 12 14 Serial input register
- 22 24 Serial output register
- 51 1st Register
- 45 52 2nd Register

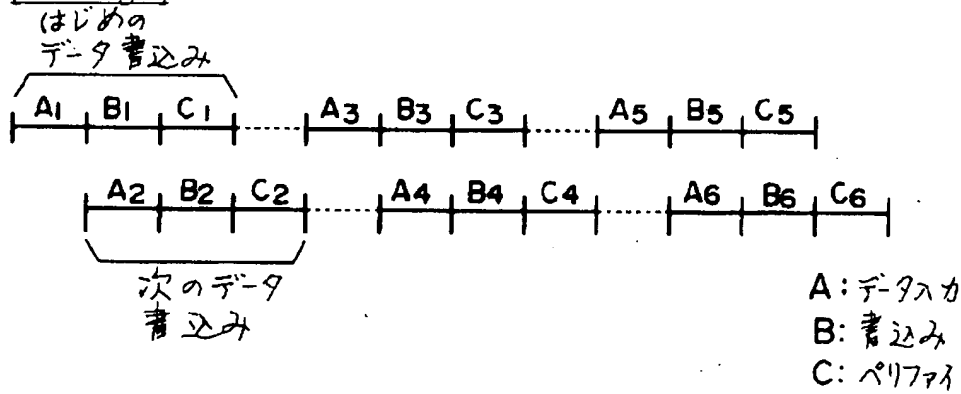
53 OR Gate  
EX1, EXn Exclusive OR gate

5 DRAWINGS

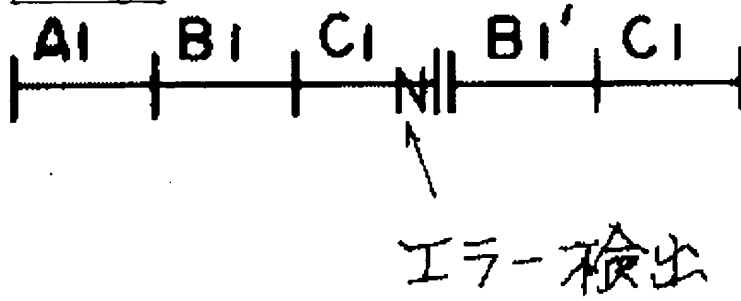
[Drawing 1]



10 [Drawing 2]



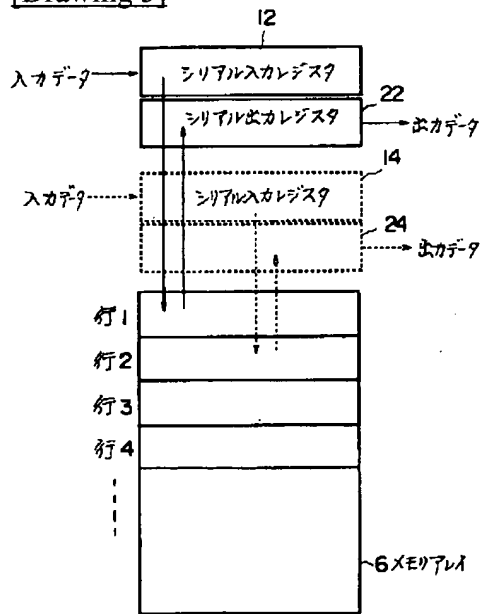
[Drawing 4]



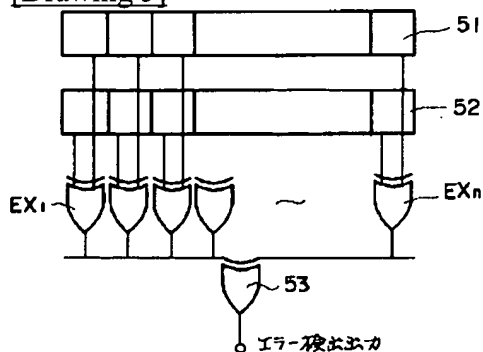
A : データ入力  
 B : 書き込み  
 B' : 再書き込み  
 C : ベリファイ  
 (シリアル出力)

5

[Drawing 3]

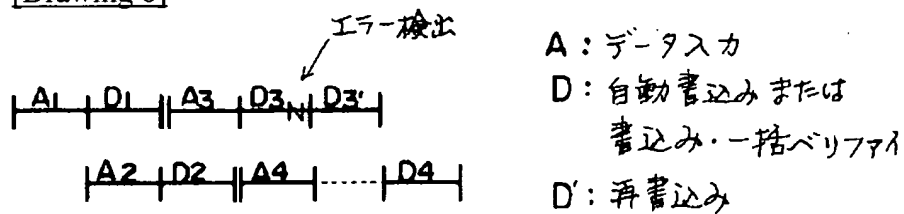


10 [Drawing 5]

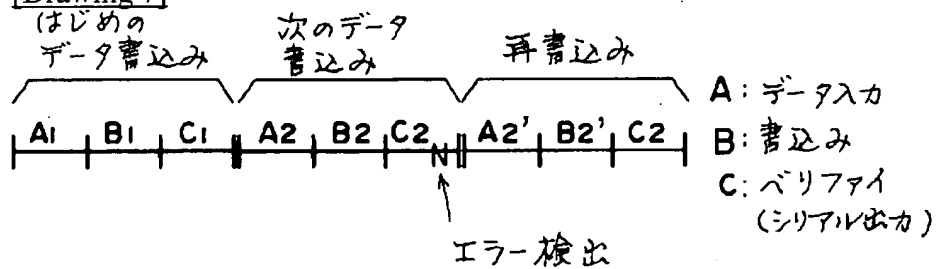




[Drawing 6]



5 [Drawing 7]



10 [Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-36578

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G11C 16/06				
G06F 12/04	510	9366-5B 6741-5L	G11C 17/00	309 A

審査請求 未請求 請求項の数5(全6頁)

(21)出願番号 特願平4-209800

(22)出願日 平成4年(1992)7月14日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 大谷 信吾

東京都品川区北品川6丁目7番35号 ソニー株式会社内

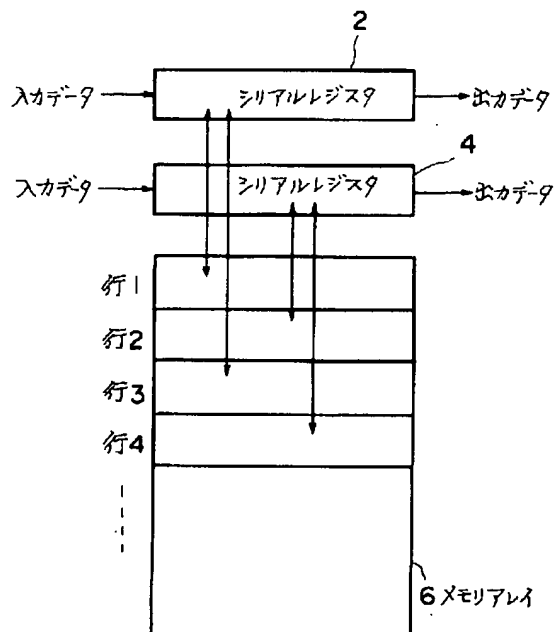
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 EEPROM

(57)【要約】

【目的】 メモリアレイへの書き込み時間を短縮する。

【構成】 メモリアレイ6に対するデータの書き込みおよび読み出しの双方を行うための2つのシリアル入出力レジスタ2および4を備える。



## 【特許請求の範囲】

【請求項1】 メモリアレイに対するデータの書き込みを行うためのシリアルレジスタを複数個備えることを特徴とするEEPROM。

【請求項2】 メモリアレイに対するデータの書き込みおよび読み出しの双方を行うためのシリアルレジスタを複数個備えることを特徴とするEEPROM。

【請求項3】 メモリアレイにデータの書き込みを行うための書き込み用シリアルレジスタと、前記メモリアレイからデータを読み出すための読み出し用シリアルレジスタとを別個に備えることを特徴とするEEPROM。

【請求項4】 メモリアレイに書き込むべきデータを保持する第1レジスタと、前記メモリアレイから読み出されたデータを保持する第2レジスタと、

前記第1および第2レジスタの出力から、いずれかのビットの書き込みエラーを検出する一括ペリファイ回路とを備えることを特徴とするEEPROM。

【請求項5】 メモリアレイに対するデータの書き込みを行うためのシリアルレジスタを複数個備え、各シリアルレジスタに対応した前記メモリアレイに対する書き込み領域の割り当てが決められていることを特徴とするEEPROM。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、シリアル入出力型EEPROM(Electrically Erasable and Programmable Read Only Memory)に関する。

【0002】

【従来の技術】従来のシリアル入出力型EEPROMチップすなわちNAND型のチップは、メモリアレイに対するデータの書き込みおよび読み出しを行うための入出力兼用のシリアルレジスタ(すなわちシフトレジスタ)を1つ備えており、例えば、シリアルレジスタの長さが512バイト、メモリアレイの行数が1024、チップ容量が4Mビット(512kB)である。このようなチップの場合、1バイトのデータをシリアル入力するのに100nSのオーダーの時間を必要とし、512バイトのデータをシリアルレジスタに入力するのに約50μS必要とする。

【0003】また、EEPROMの書き込み時間は、NOR型では、一般に10μSのオーダーであり、上述したNAND型の従来例では、約40μS必要である。書き込みに続くペリファイのための読み出しは、NOR型では、6μS程度であるが、上述したNAND型の従来例では、10μS必要とする。従って、従来のシリアル入出力型EEPROMでは、データの書き込みおよびペリファイ読み出しに約50μSかかることになる。

【0004】

【発明が解決しようとする課題】図7は、従来のシリアル入出力型EEPROMの動作のタイムシーケンスを示す。上述のように、シリアルレジスタを1つしか備えていないため、ホスト側で、データをシリアルレジスタに入力している間は、EEPROM内では、データの書き込みおよびペリファイ動作は行われない。従って、図7に示されているように、ホスト側は、約50μSの時間を要してシリアルレジスタにデータを入力した後、ほぼ同時間、書き込みおよびペリファイ読み出しのために待たなければならず、メモリアレイへの書き込みに長時間を必要とする。

【0005】また、書き込みのペリファイを行うためのデータ読み出しを行った後、エラーが発見されると、再び、シリアルレジスタにデータを入力し直さなければならず、データ入力、アレイへの書き込みおよびペリファイからなる書き込みサイクル分さらに時間を要するという問題があった。

【0006】本発明は、このような状況に鑑みてなされたものであり、メモリアレイへの書き込み時間を短縮できるEEPROMを提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1に記載のEEPROMは、メモリアレイに対するデータの書き込みを行うためのシリアルレジスタ(例えば、図1の実施例のシリアルレジスタ2および4)を複数個備えることを特徴とする。

【0008】請求項2に記載のEEPROMは、メモリアレイに対するデータの書き込みおよび読み出しの双方を行うためのシリアルレジスタを複数個(例えば、図1の実施例のシリアルレジスタ2および4)備えることを特徴とする。

【0009】請求項3に記載のEEPROMは、メモリアレイにデータの書き込みを行うための書き込み用シリアルレジスタ(例えば、図3の実施例のシリアル入力レジスタ12)と、メモリアレイからデータを読み出すための読み出し用シリアルレジスタ(例えば、実施例のシリアル出力レジスタ22)とを別個に備えることを特徴とする。

【0010】請求項4に記載のEEPROMは、メモリアレイに書き込むべきデータを保持する第1レジスタ(例えば、図5の実施例の第1入出力レジスタ51)と、メモリアレイから読み出されたデータを保持する第2レジスタ(例えば、図5の実施例の第2レジスタ52)と、第1および第2レジスタの出力から、いずれかのビットの書き込みエラーを検出する一括ペリファイ回路(例えば、図5の実施例の排他的ORゲートEX1乃至EXnおよびORゲート53)とを備えることを特徴とする。

【0011】請求項5に記載のEEPROMは、メモリアレイに対するデータの書き込みを行うためのシリアル

3

レジスタを複数個（例えば、図1の実施例のシリアルレジスタ2および4）備え、各シリアルレジスタに対応したメモリアレイに対する書き込み領域の割り当てが決められていることを特徴とする。

#### 【0012】

【作用】請求項1の構成のEEPROMにおいては、複数個のシリアルレジスタのうち第1のシリアルレジスタにデータが入力された後、第1のシリアルレジスタからメモリアレイにデータの書き込みを行っている間に、複数個のシリアルレジスタのうち第2のシリアルレジスタにデータを入力することが可能になる。従って、メモリアレイへの書き込み時間を短縮できる。

【0013】請求項2の構成のEEPROMにおいては、複数個のシリアルレジスタのうち第1のシリアルレジスタにデータが入力された後、第1のシリアルレジスタからメモリアレイにデータの書き込みを行っている間に、複数個のシリアルレジスタのうち第2のシリアルレジスタにデータを入力され、その後、例えばベリファイのために第1シリアルレジスタにメモリアレイからデータを読み出している間に、第2シリアルレジスタからメモリアレイにデータを書き込むことができる。従って、メモリアレイへの書き込み時間を短縮できるとともに、データの書き込みと読み出しとを同時することができる。

【0014】請求項3の構成のEEPROMにおいては、書き込み用シリアルレジスタにデータが入力され、ここからメモリアレイにデータが書き込まれた後、例えばベリファイのためにメモリアレイから読み出し用シリアルレジスタにデータが読み出されエラーが検出されても、書き込み用シリアルレジスタにはデータが保持されているので、書き込み用シリアルレジスタに再びデータを入力する必要なく、即座に、データの再書き込みを行えるから、書き込みエラーが生じたときの再書き込みに必要な時間を短縮できる。

【0015】請求項4の構成のEEPROMにおいては、第1レジスタが、メモリアレイに書き込むべきデータを保持し、第2レジスタが、メモリアレイから読み出されたデータを保持し、一括ベリファイ回路が、第1および第2レジスタの出力から、いずれかのビットの書き込みエラーを検出する。従って、書き込みエラーを瞬時に発見できるから、即座に再書き込みを行うことができる。

【0016】請求項5の構成のEEPROMにおいては、複数個のシリアルレジスタに入力されたデータは、それぞれ、メモリアレイの割り当てられた領域に書き込まれる。従って、メモリアレイの複数領域への書き込み処理を並行して行うことができるので、書き込み時間を短縮することができる。

#### 【0017】

【実施例】図1は、本発明のEEPROMの一実施例の

4

構成を示す。この実施例では、2個のシリアル入出力レジスタ2および4が設けられている。これらのシリアル入出力レジスタ2および4は、それぞれ、多数のメモリセルがマトリクス状に配列されてなるメモリアレイ6に対するデータの書き込みおよび読み出しの双方を行うためのものである。ホストは、シリアル入出力レジスタ2にその長さ分のデータを入力し終わると、EEPROMの制御レジスタに書き込みコマンドを入力する。これにより、シリアル入出力レジスタ2からメモリアレイ6にデータが書き込まれる。

【0018】各シリアル入出力レジスタ2および4に対応したメモリアレイ6に対する書き込み領域の割り当てが決められている。すなわち、シリアル入出力レジスタ2に入力されたデータは、メモリアレイ6の奇数行に書き込まれ、シリアル入出力レジスタ4に入力されたデータは、メモリアレイ6の偶数行に書き込まれるように、メモリアレイ6の書き込み領域の割り当てが決められている。

【0019】図2は、図1の実施例の一動作例のタイムシーケンスを示す。以下、図2を参照して図1の実施例の動作を説明する。シリアル入出力レジスタ2にデータが入力された（例えば、A1）後、シリアル入出力レジスタ2からメモリアレイ6にデータの書き込みを行っている（例えば、B1）間に、シリアル入出力レジスタ4にデータを入力され（例えば、A2）、その後、ベリファイのためにシリアル入出力レジスタ2にメモリアレイ6からデータが読み出されている（例えば、C1）間に、シリアル入出力レジスタ4からメモリアレイ6にデータが書き込まれる。従って、メモリアレイ6への書き込み時間を短縮できるとともに、データの書き込みと読み出しとを同時することができる。

【0020】例えば、A：データ入力（シリアルレジスタへの入力）の時間、B：書き込み（シリアルレジスタからメモリセルへのプログラミング）の時間、C：データのシリアル出力（読み出し）およびベリファイの時間が等しいとすると、図2から明かなように、総書き込み時間が2/3になるので、書き込み速度が1.5倍になる。

【0021】書き込み時間Bがより短く例えば10μSの場合には、シリアル入出力レジスタ2および4の長さを書き込み時間に見合う長さ、例えば64Bまたは128B等にすれば、ランダムなアクセスも容易になる。

【0022】図3は、本発明のEEPROMの別の実施例の構成を示す。この実施例では、メモリアレイ6にデータの書き込みを行うためのシリアル入力レジスタ12と、メモリアレイ6からデータを読み出すためのシリアル出力レジスタ22とを別個に備えている。また、メモリアレイ6にデータの書き込みを行うためのシリアル入力レジスタ14と、メモリアレイ6からデータを読み出すためのシリアル出力レジスタ24とを別個に備えてい

50

る。

【0023】図4は、図3の実施例の一動作例のタイムシーケンスを示す。以下、図4を参照して図3の実施例の動作を説明する。まず、ホスト側から、シリアル入力レジスタ12にデータが入力され（例えば、図4のA1）、次に、ホスト側から制御レジスタに書き込みコマンドが入力され、これにより、シリアル入力レジスタ12からメモリアレイ6にデータが書き込まれる（例えば、図4のB1）。次に、ホスト側から、ペリファイのための読み出しコマンドが制御レジスタにセットされ、これにより、メモリアレイ6から、該アレイ6に書き込まれたデータがシリアル出力レジスタ22に転送される。そして、ホスト側が、シリアル出力レジスタ22に転送されたデータを読み出して、ホスト側が保持している書き込むべきデータと比較して、エラーをチェックする（例えば、図4のC1）。

【0024】ホスト側は、ここでエラーを検出すると、再度、書き込みコマンドを制御レジスタに入力して、シリアル入力レジスタ12からメモリアレイ6に書き込みを行う（例えば、図4のB1'）。従来技術では、エラーが検出された場合には、図7のA2'に示されているように、再び、シリアルレジスタに書き込むべきデータを入力し直さなければならないが、図3の実施例では、エラーが検出されても、シリアル入力レジスタ12にデータが保持されているので、シリアル入力レジスタ12に再びデータを入力する必要なく、即座に、データの再書き込みを行えるから、書き込みエラーが生じたときの再書き込みに必要な時間を短縮できる。シリアル入力レジスタ14およびシリアル出力レジスタ24の動作も同様である。

【0025】図5は、本発明のEEPROMの一括ペリファイ回路の一実施例の構成を示す。この実施例は、メモリアレイ6に書き込むべきデータを保持する第1レジスタ51と、メモリアレイ6から読み出されたデータを保持する第2レジスタ52と、第1および第2レジスタ51および52の各ビット出力を比較するn個の排他的ORゲートEX1乃至EXnと、これらn個の排他的ORゲートEX1乃至EXnの出力を入力とするORゲート53とを備えている。第1レジスタ51は、例えば、図3のシリアル入力レジスタ12により構成でき、第2レジスタ52は、例えば、図3のシリアル出力レジスタ22により構成できる。例えば、第1および第2レジスタ51および52の長さが128Bのときには、nは、 $128 \times 8 = 1024$ であり、排他的ORゲートの個数は、1024である。

【0026】第1および第2レジスタ51および52のすべてのビットが一致していれば、ORゲート53の出力は、ネゲート（ここでは、出力「0」）され、エラーがないことが示される。第1および第2レジスタ51および52のいずれかのビットが不一致していれば、OR

ゲート53の出力は、アサート（ここでは、出力「1」）され、瞬時に書き込みエラーを発見できる。このように、図5の回路では、レジスタに保持されたすべてのデータを一括してペリファイできる。EEPROMの場合は、どこかのビットで書き込みエラーが起こったのかを知る必要がないので、即座に再書き込みに移ることができる。

【0027】現在、チップ内に自動書き込み機能を持った回路を搭載したNOR型フラッシュメモリが入手可能であるが、図5の回路は、シリアル入力型（NAND型）EEPROMにおいて自動書き込み機能を実現するのに有効である。

【0028】図6は、図3の実施例のようにシリアル入力レジスタおよびシリアル出力レジスタを2組備え、図5のような一括ペリファイ回路または他の自動書き込み回路を内蔵したEEPROMの一動作例のタイムシーケンスを示す。この場合、書き込み速度が2倍に向上する。

【0029】なお、上記説明では、図5の第1レジスタ51を、図3のシリアル入力レジスタ12により構成し、図5の第2レジスタ52を、図3のシリアル出力レジスタ22により構成するものとしたが、第1レジスタ51を、図1のシリアル入出力レジスタ2で構成し、第2レジスタ52をペリファイ専用レジスタで構成してもよい。

【0030】

【発明の効果】請求項1のEEPROMによれば、メモリアレイへのデータの書き込みのためのシリアルレジスタを複数個設けたので、あるシリアルレジスタにデータを入力した後ここからメモリアレイにデータの書き込みを行っている間に、他のシリアルレジスタにデータを入力することが可能になるから、メモリアレイへの書き込み時間を短縮できる。

【0031】請求項2のEEPROMによれば、メモリアレイに対するデータの書き込みおよび読み出しの双方を行うためのシリアルレジスタを複数個設けたので、メモリアレイへの書き込み時間を短縮できるとともに、データの書き込みと読み出しとを同時することができる。

【0032】請求項3のEEPROMによれば、メモリアレイにデータの書き込みを行うための書き込み用シリアルレジスタと、メモリアレイからデータを読み出すための読み出し用シリアルレジスタとを別個に設けたので、書き込みエラーが生じたときの再書き込みに必要な時間を短縮できる。

【0033】請求項4のEEPROMによれば、一括ペリファイ回路が、第1レジスタに保持されているメモリアレイに書き込むべきデータと、第2レジスタに保持されているメモリアレイから読み出されたデータから、いずれかのビットの書き込みエラーを検出するので、書き込みエラーを瞬時に発見できるから、即座に再書き込み

7

を行うことができる。

【0034】請求項5のEEPROMによれば、メモリアレイに対するデータの書き込みを行うためのシリアルレジスタを複数個設け、各シリアルレジスタに対応したメモリアレイに対する書き込み領域の割り当てを決めたので、メモリアレイの複数領域への書き込み処理を並行して行うことができるから、書き込み時間を短縮することができる。

【図面の簡単な説明】

【図1】本発明のEEPROMの一実施例の構成を示すブロック図である。

【図2】図1の実施例の一動作例のタイムシーケンスを示す図である。

【図3】本発明のEEPROMの別の実施例の構成を示すブロック図である。

【図4】図2の実施例の一動作例のタイムシーケンスを示す図である。

8

【図5】本発明のEEPROMの一括ペリファイ回路の一実施例を示すブロック図である。

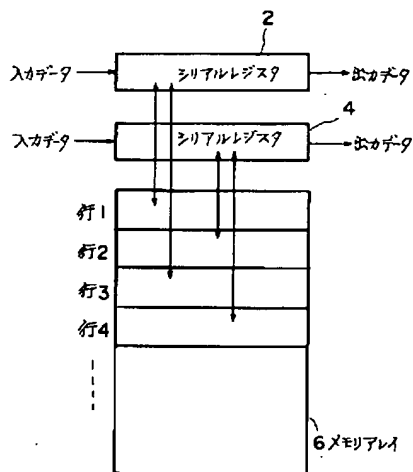
【図6】図3の実施例のようにシリアル入力レジスタとシリアル出力レジスタとを別個に備え、図5の実施例を使用した場合の一動作例のタイムシーケンスを示す図である。

【図7】従来のEEPROMの動作例のタイムシーケンスを示す図である。

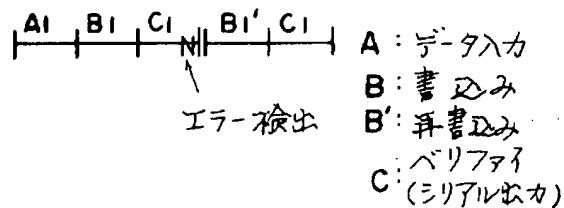
【符号の説明】

2, 4 シリアルレジスタ  
6 メモリアレイ  
12, 14 シリアル入力レジスタ  
22, 24 シリアル出力レジスタ  
51 第1レジスタ  
52 第2レジスタ  
53 ORゲート  
EX1, EXn 排他的ORゲート

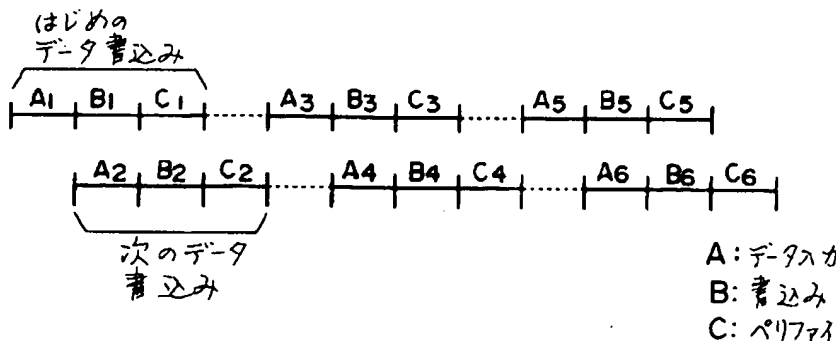
【図1】



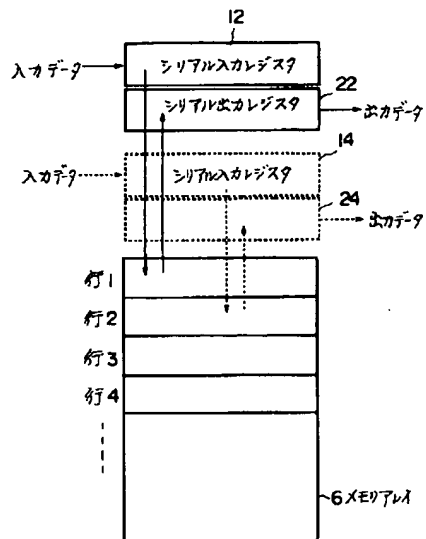
【図4】



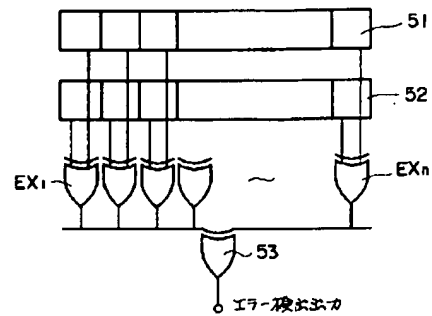
【図2】



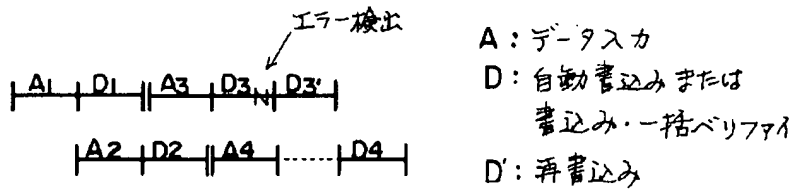
【図3】



【図5】



【図6】



【図7】

